

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(2)

(19) 日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号
特開2002-305288
(P2002-305288A)
(43)公開日 平成14年10月18日(2002.10.18)

(5)Int.Cl' H01L 27/105 機械配序 F11 H01L 27/10 444B 5F083 テーピード(参考)

審査請求 未請求 請求項の数7 書面 (全4頁)

(21)出願番号 特願2000-301211(P2000-301211)	(71)出願人 野村 優三 500455205
(22)出願日 平成12年8月25日(2000.8.25)	京都市伏見区中京区室町通り柳池上ノ新地 之町314番地1 Aビル3F (株)野村電 子技術研究所内
	(71)出願人 谷奥 正巳 500455490

(72)発明者 谷奥 正巳 大阪府大阪市淀川区木川東1-11-19
パレス西中島01号

最終頁に続く

(54)【発明の名称】 キャビシタ電極構造及び半導体記憶装置

(57)【要約】

【課題】 スタック型メモリセラミック構造において、強誘電体キャビシタの接合部が後工程において酸素の拡散などにより劣化する問題を解決する。

【解決手段】 強誘電体電極構造を耐酸性金属からなる多層構造とし、積層界面に遮蔽物質がトップされることで形成される逆向きの拡散濃度分布を利用して酸素などの拡散を阻害する。

【特許請求の範囲】

【請求項1】 モス型電界効果トランジスタのソース／ドレインの一方と、絶縁膜を介して配置した強誘電体キャビシタの下部電極などを、コントラクトブラークで電気的に接続させた半導体電気素子において、上記下部電極が複数の耐酸性金属からなる多層構造であって、ひとつ以上のお粗面界面を有することを特徴とする電極構造。

【請求項2】 請求項1において、強誘電体キャビシタ下部電極と接する絶縁層の表面部分を窒化シリコンとしたことを特徴とする、半導体記憶装置。

【請求項3】 上記下部電極の材料として、耐酸性ガスがあり、かつ酸化しても導電性を示す金属としたことを特徴とする。請求項1に記載の電極構造。

【請求項4】 上記下部電極の材料として特に、Pt、Ir、Ru、Re、Rh、Osおよびこれらの合金、うち2種類以上の金属あるいは合金を用いたことを特徴とする。請求項1に記載の電極構造。

【請求項5】 上記強誘電体キャビシタ上部電極が、請求項3または4に記載の材料からなる請求項1に記載の下部電極構造と同様の構成であることを特徴とする電極構造。

【請求項6】 強誘電体キャビシタの側壁部を還元防止膜で覆い、かつ請求項5に記載の上部電極構造を有することを特徴とする、半導体記憶装置。

【請求項7】 請求項1に記載の下部電極構造と、請求項2と6に記載のデバイス構造を有することを特徴とする、半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

【0002】 この発明は強誘電体メモリ及び強誘電体メモリを組み込んだ半導体記憶装置の製造に関するものである。

【従来の技術】

【0003】 液晶電極メモリは、DRAMとほぼ同じアーキテクチャを探り、セルキャビシタ部分を強誘電体材料に置き換えた不導電性的半導体記憶装置である。専門的には、DRAMやFLASHメモリを複数するボタンチャルを始めた新しいメモリデバイスである。

【0004】 このデバイスはDRAMとほぼ同じデバイス構造が可能である。メモリセル面積を最小にするためには第2回のようなスタック構造をとる必要がある。このような構造は良く知られた構造で、例えば特許公開(平10-223848)において既来技術として記載されている。

【課題を解決するための手段】 下部電極の構成を白金その他耐酸性のある金属を複数用いて多層構造にす。酸素に曝さず接触してきた物質は多層構造の界面に多くのトラップされやすい。従って、下部電極をひとつの材料で構成するよりも、積層界面をたくさん形成することで酸素を界面で多くトラップして最下層のバリア膜までに到達する酸素を少なくする、さらには強誘電体を構成する金属性元素の拡散も抑える。均一な材料で構成した場合、強誘電体の濃度分布は単調に変化し濃度の薄い方へ拡散しようとする。しかし、積層構造にした場合、界面に溜まった酸素や金属元素はその界面附近において逆向きの濃度分布を形成する。この逆向き分布が拡散を抑制する方向に働くのである。

【0005】 第2回のデバイスについて説明する。シリコン基板1上にLOCOS 3で線子分離してある。ワード線などのトランスマスター4はポリシリコン／タンクスチルシリサイドの積層膜であるボリサイドなどである。ソース／ドライン2の一方はボリサイドあるいは

收する。これはさらに大きな逆向きの濃度分布となる。もちろん導電性も保たれる。

【0012】また、強誘電体キャビシタ形成前の絶縁層として塗化シリコン膜を堆積させておいて回復アニール時のキャビシタ膜からの陥落回り込みも防ぐ。

【0013】上部電極も初期構造にして同様に水蒸気などの還元ガスのストップバーとする。界面にドリップされる以外にも白金は特に水蒸気を吸収するので大きな逆向き濃度分布を作成する。キャバシタを還元防止膜で覆うこと組み合わせて強誘電体に到達する還元種を抑える。

【0014】

【実施例1】第1図が一例として本発明を実施した強誘電体メモリセルの構造断面図である。

【0015】製造工程を順に述べる。シリコン基板1上にLOCOS 3を形成して素子分離する。次にワード線などのトランシスターゲート4を形成する。トランシングアーベートはボリシリコンまたはボリシリコン/タンゲステンシリサイドの組合せであるボリサイドである。ソース/ドレイン2を形成する。

【0016】

さらにビット線5をボリサイドあるいはチャンクスチン構成で形成する。酸化膜12で覆った後、エッチバックあるいはCMP (chemical mechanical polishing)などの平坦化プロセスを行う。その後、塗化シリコン膜6を500から1000Å堆積させる。実質200Å程度でも十分だが、次のボリシリコンブロック形成時に削られるキャバシタ加工時のオーバーパッチ分を含んでいる。そして、コントロールホールを開口してボリシリコンブロックをエッチバックなどによって形成する。

【0017】

次に、強誘電体キャバシタ (8, 9, 10) を形成する。下部電極8は、まず最下層に密着焼成とバリメタルを目的としてTi_xN_yT_a_x/Ta_yN_zなどを200から500Å堆積し、その上にイリジウムを500Å程度重ね、さらに白金を500Å程度重ね。このイリジウム/白金層を繰り返し堆積させて底部界面をたくさん形成するほど効果があるが、あまり厚くするところが困難になるので一回の繰り返しのみにしてトータルで2000Å強にとどまる。各金属層はその材料の特性によるが、200から500Åである。薄いほど界面を多く形成できるが、あまり薄いと酸素を通しきってしまう。イリジウムと同等な材料としてルテニウム、ロジウム、レニウムなどたくさん存在する。これらの金属はいずれもスパッタ法で形成できること。

【0018】

下部電極は、バリメタル/1r/Pt/1rという構成を一例として示した。強誘電体はPt上でも結晶化しやすいため、例えば最上層をPtに固定して、バリメタル/A/B/A/Pt (A, B : 1r, Ru, Rh, Re, Osなど)というような構成すればさらによくなる。また、1r自体は

リメタルとしても機能するので1r/A/B/A/Ptという構成も可能である。

【0019】強誘電体はPb Lay Zr_xTi_{1-x}O₃、あるいはSrBi₂Nb_xZr_{2-x}O₉などである。スパッタ法やソルゲル法で焼成したところでは誘電体の結晶化アニールを行なう。そして、上部電極を下部電極と同じくPt/1r/Pt/1rといった複層構造で堆積して500°C程度の還元炉を行なう。アニールは誘電体と電極間の界面部位を減らしてきれないショットキーアークを形成するためにある。その後、キャバシタ形状に加工する。図ではまっすぐに幅エッチングされたように書いていますが、この技術は必ずしも簡単でない。実際にテーブルがついているか、あるいは離型のように段々構造にすることもある。加工により誘電体の劣化が生じるので回復アニールを行う。

【0020】そして、還元防止膜11を100から500Å程度堆積する。還元防止膜としてはアルミニなどである。酸化膜12を堆積し再び回復アニールを行なった後、AlSiCuなどのメタル電線13を形成する。このあとは、2層目以降のメタル電線層を形成し、バッジーション膜(窒化膜)を最後に形成する。

【0021】

【発明の効果】 強誘電体結晶化アニールのときはウエハ全面に多層構造の下部電極が存在し、酸素は界面においてトラップされ、さらには界面で電極材料と反応して最終的にペリアメタルまで到達する酸素は極めて少なくななる。シリジウム自体でも酸素を通じにくい性質があるので、単にそのような性質を利用してではなく、多層構造にすることでより酸素を逃しにくい電極構造にでき、しかも強説電体結晶元素の扩散も抑える。

【0022】また、回復アニール時も強説電体キャバシタ下に敷いた塗化シリコンの存在によりボリシリコンブロックまで回り込んで到達する酸素は極めて少なくななる。

【0023】還元防止については、キャバシタ側からの還元炉の奥には還元防止膜が、メタル電線を通しての侵入には上部電極の複層構造が、抑制する。

【0024】このようにして、バラコントクトの酸化、還元による強説電体劣化、金属扩散を抑えることで、スタック型の小さなメモリセルを実現できビットコストの安い強説電体メモリあるいはメモリ組みみическを製造することが出来る。

【画面の簡単な説明】

【図1】本発明による強説電体メモリセルの断面図。
【図2】従来例である強説電体メモリセルの断面図。
【符号の説明】

1 シリコン基板

2 ソース/ドレイン

3 LOCOS

4 トランスマスター

5 ビット線	10 上部電極
6 塗化シリコン膜	11 還元防止膜
7 ポリシリコンプラグ	12 酸化鉄膜
8 下部電極	13 メタル配線
9 強説電体	

【図1】

【図2】
フロントページの続き

F ターム (参考)	5F083 FR02 GA25 JA15 JA17 JA35 JA38 JA39 JA40 JA53 JA56 MA06 MA17 PR33 PR39 PR40
------------	--



【図2】従来例である強説電体メモリセルの断面図。

【符号の説明】

1 シリコン基板

2 ソース/ドレイン

3 LOCOS

4 トランスマスター